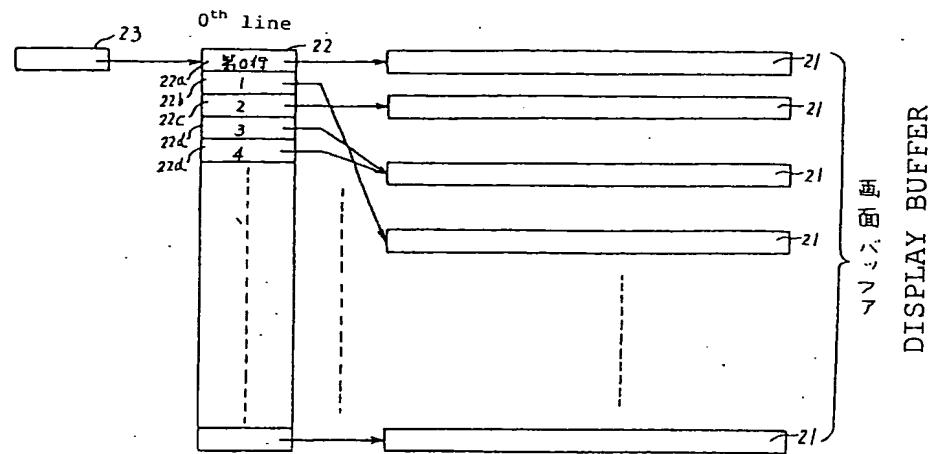


Title of Invention: CRT Display System  
Publication Number: Japanese Patent Application Laid-open  
Sho 54 No. 25630  
Publication Date: February 26, 1979    Priority Country: Japan  
Application Number: Japanese Patent Application Sho 52 No. 90298  
Application Date: July 29, 1977  
Applicant: Hitachi, Ltd (0 ← number of other applicants)  
Inventor: Yoshiki KOBAYASHI (0 ← number of other inventors)  
Int. Cl<sup>2</sup>: G 06 K 15/20, G 06 F 3/14

## Configuration:

Fig. 6 shows an example of managed information on a screen of a main memory of a CRT display system. In this system, display buffer is independently arranged per each line, wherein the leading address of each buffer is managed by arranging in a line buffer address table, while a CRT display apparatus is provided with a table pointer for indicating lead of the line buffer address table. The CRT display apparatus is configured so as to obtain address of the line buffer by means of the table pointer and to display the display data obtained by DMA from the main memory. Here, the display data buffer on the screen is disposed independently as the line display data buffer 21 per each line. In the line buffer address table 22 prepared for each screen, leading addresses 22a, 22b, 22c, - - - of the line data buffer 21 to be displayed for each line are set. In this example, it shows that the 3<sup>rd</sup> and 4<sup>th</sup> lines have the same leading address 22d, hence the same line data buffer 21 should be displayed. Furthermore, the table pointer 23 which indicates the leading address of this line buffer address table 22 is disposed, which performs distinguishing of each picture. These information is managed by a computer. When a particular screen is desired to be reviewed, the CRT display apparatus 3 is provided with the table pointer 23 of the particular screen.

Fig. 6



⑯日本国特許庁  
公開特許公報

⑪特許出願公開  
昭54—25630

⑤Int. Cl.<sup>2</sup>  
G 06 K 15/20  
G 06 F 3/14

識別記号

⑥日本分類  
97(7) B 41

府内整理番号  
7341—5B  
7341—5B

⑦公開 昭和54年(1979)2月26日  
発明の数 1  
審査請求 未請求

(全 6 頁)

⑧CRTディスプレイ・システム

⑨特 願 昭52—90298

⑩出 願 昭52(1977)7月29日

⑪發明者 小林芳樹

日立市幸町3丁目1番1号 株

式会社日立製作所日立研究所内  
⑫出願人 株式会社日立製作所  
東京都千代田区丸の内一丁目5  
番1号  
⑬代理人 弁理士 高橋明夫

明細書

発明の名称 CRTディスプレイ・システム

特許請求の範囲

1. 計算機とその主記憶およびCRTディスプレイ装置から構成され、かつ該CRTディスプレイ装置の表示画面データのバッファを主記憶中に持つようにしたCRTディスプレイ・システムにおいて、前記計算機は、主記憶中に画面の各行毎の表示データ・バッファを互いに独立して持ち、各画面を画面毎の行データ・バッファの先頭アドレスをテーブルにした行バッファ・アドレス・テーブルとして管理し、さらに前記CRTディスプレイ装置に表示すべき画面の行バッファ・アドレス・テーブルの先頭アドレスを示すテーブル・ポインタを与えるようになし、一方該CRTディスプレイ装置においては、プログラムにより設定可能なテーブル・ポインタ・レジスタと、該テーブル・ポインタ・レジスタにより指定された前記行バッファ・アドレス・テーブルから表示すべき行の表示データ・バ

ッファの先頭アドレスを読み込む行アドレス・レジスタと、該行アドレス・レジスタにより指定された1行分の表示データを前記主記憶中の行データ・バッファから読み込む回路とを有することを特徴とするCRTディスプレイ・システム。

発明の詳細な説明

本発明は、画面表示データのバッファを主記憶中に持つ方式のCRTディスプレイ・システムに係り、特に画面上でのデータの管理に好適な行アドレス変換機構を備えたCRTディスプレイ・システムに関する。.

第1図に示すような計算機1、主記憶2、CRTディスプレイ装置(以下DUと略す)3からなり、画面表示データのバッファを主記憶2中に持つCRTディスプレイ・システムにおいて、従来はDU3中に画面の先頭アドレスを記憶する先頭アドレス・レジスタ32を持ち、この出力とアドレス・カウンタ31の出力とが加算回路33により加算され、この加算出力を入出力バス4を介して

送出し直接主記憶参照機構（ダイレクトメモリーアクセス、以下DMAと略す）により主記憶2中の画面データを読み込むように制御している。このようになるとDU3に表示される画面と主記憶2中の画面表示データとの対応は、画面先頭アドレス毎に固定されているため、次のような3つの問題が生じる。

先ず第1に、第2図に示すように、複数の画面FA, FB, FCを扱う場合、各画面表示データは先頭アドレスfa, fb, fc毎に固定されているから2つ以上の画面に共通なエリアXがあつても、主記憶2中の各画面の対応エリアに別々に格納しなければならない。このためエリアXを主記憶2中において共通化することができず容量が大きくなる。

第2に、第3図に示すように、ある外部要因によりメッセージAを表示し、他の外部要因により同一エリアにメッセージBを表示するような場合、メッセージA, Bを主記憶2中の画面エリアとは別のエリアに用意し、発生した要因により、メッ

(3)

回、スペースコードのセットが400回も生じ、例えば各々30μ秒/回、15μ秒/回とすると全体で54m秒かかることになる。

以上のように従来の方式では、画面の管理において問題があり、記憶容量が増大し処理速度が低下する。

本発明の目的は、主記憶中の画面バッファを行単位で管理することにより、良好な画面の管理を行ない得るCRTディスプレイ・システムを提供するにある。

本発明は、主記憶中の画面バッファを行単位に独立させ、各行バッファの先頭アドレスを行バッファ・アドレス・テーブルにまとめて管理し、CRTディスプレイ装置には行バッファ・アドレス・テーブルの先頭を示すテーブル・ポインタを与えるようとする。CRTディスプレイ装置は、テーブル・ポインタにより行バッファのアドレスを求め、これにより表示データを主記憶からDMAで読み込み表示するようにしたものである。

以下本発明の実施例を図面に従つて詳細に説明

(5)

セージA又はBを画面の対応エリアXに転送する必要がある。このため記憶容量がエリアXの分だけ増大し、かつ処理プログラムの負担にもなつてゐる。

第3は、外部からメッセージ列を転送してきて、これを画面表示する際、メッセージが画面に一杯になつたとき、ひき続き転送されてくるメッセージを画面に表示する余白を作るため、古い画面データを何行分か画面上方に移動する場合、実際に主記憶2中の画面表示データバッファにおいてデータの移動を行なう必要があり、大量のデータ転送のため処理速度が問題となる。例えば25行×80字/行のCRTで、画面が一杯になつたとき5行上に移動させる場合、第4図及び第5図に示すように、手順①で第5行の第0列を第0行の第0列に移し、以下同様に第24行の第79列までを5行上の対応する列に移す。この後、画面の下5行に空白を作るために手順②でスペースコードを第20行の第0列から第24行の第79列までにセットする。このように文字の移動が1600

(4)

する。

第6図は、本発明のCRTディスプレイ・システムにおける主記憶2中の画面の管理情報の一例を示すものである。画面の表示データ・バッファは、各行毎に行表示データバッファ21として独立して置かれている。そして、画面毎に用意される行バッファ・アドレス・テーブル22には、各行毎に、表示されるべき行データ・バッファ21の先頭アドレス22a, 22b, 22c…がセットされている。この例においては、第3行と第4行は行データバッファの先頭アドレス22dが同じであり同一行データ・バッファ21を表示すべきことを示している。さらにこの行バッファ・アドレス・テーブル22の先頭アドレスを示すテーブル・ポインタ23がおかれており、これが各画面の区別を行なうことになる。これらの情報は計算機1により管理され、ある画面を表示したい場合には、CRTディスプレイ装置3にその画面のテーブル・ポインタ23が与えられる。

さて従来例と本発明では計算機1と主記憶2と

(6)

は上述したような画面情報の管理のみが異なり、回路的には異なるところはないので省略し、以下本発明の一実施例になるCRTディスプレイ装置3の回路図を第7図を用いて説明する。計算機1のプログラムにより、テーブル・ポインタ23が、入出力バス4のデータバス41を介してテーブル・ポインタ・レジスタ51に与えられる。このレジスタ51へのセット信号81は、コントロールバス43、入出力命令インタフェイス制御回路57を介して与えられる。さて、80字×24行、9ドット×10ドット／文字のCRTへの表示は、タイミング発生回路65からのパルスを受けて1文字の水平ドット0～8までのタイミングを発生する水平ドット・カウンタ66、この桁上り信号84によりカウントアップされる0～111（実際の文字は80で走査線のリターン分として32をとる）の1行分の文字カウンタ67、この桁上り信号85によりカウントアップされる0～10（実際の表示は垂直10ドットとし1ドット分をスキップ用とする）までの垂直ドット・カウンタ

(7)

フリップフロップ62がセットされることによりなされる。フリップフロップ62がセットされるとオア回路59を介してDMAインタフェイス制御回路58に対し要求信号83が出される。制御回路58はこの要求信号83により、入出力バス4のコントロール信号43により主記憶2からDMAで指定されたアドレスからのデータを取り込む。さて最初の動作は、行バッファ・アドレス・テーブル22から次行の表示バッファの先頭アドレスを行アドレス・レジスタ52に読み込むことである。行カウンタ69は現在表示中の行番号を示しているため、+1回路54で次行の番号にし、これとテーブル・ポインタ・レジスタ51との和を加算回路53から出力し、この出力はフリップ・フロップ62がセットされているためセレクタ56を介してアドレスバス42にアドレスとして出力される。このアドレスに対応するデータが次行のデータ・バッファの先頭アドレスとなる。DMAインタフェイス制御回路58はデータバス41に有効なデータが出力されたことをコントロ

(9)

特開昭54-25630(3)  
68、この桁上り信号86によりカウントアップされる0～24までの行カウンタ69によりタイミングがとられる。CRTディスプレイ装置3には1行分のラインバッファ73, 74が2個置かれており、この一方の内容が実際にCRTへ表示され、他方が主記憶2から次行のデータを読み込んだデータを蓄積する。この切換が、垂直ドット・カウンタ68の桁上り信号86により行われる。信号86により反転するフリップ・フロップ70によりライン・バッファ73, 74のどちらか一方が循環モードとなりセレクタ75により選択されてキヤラクタ・ジェネレータ76に送られる。そして水平ドット・カウンタ66の桁上り信号84が循環モードとなつてあるライン・バッファ73又は74に対応するセレクタ71又は72を介してライン・バッファ73又は74に与えられ、1文字分循環させる。一方この1行表示処理の間に他方のライン・バッファ74又は73に次行のデータを蓄積する必要がある。これは垂直ドット・カウンタ68の桁上り信号86により

(B)

アドレスバス43により検知すると応答信号82を出す。これはフリップフロップ62がセットされているためアンド回路60を介して出力され行アドレス・レジスタ52にデータバス41上のデータをセットするタイミング信号となる。と同時にアンド回路60からの出力はフリップ・フロップ62をリセットし、フリップ・フロップ63をセットする。これにより行アドレスの読み込みが終了し、次に行データの読み込み処理に入ることを示す。フリップ・フロップ62がリセットされると、今度はセレクタ56は、加算回路55から出力される行アドレス・レジスタ52と垂直ドット・カウンタ68の桁上り信号86でリセットされる0～79の行アドレス・カウンタ64との和をアドレスバス42に出力することになる。そしてフリップ・フロップ63がセットされることにより、オア回路59を介して要求信号が出て、DMAインタフェイス制御回路58は主記憶2から行のデータを順次読み込む。1文字読み込むと応答信号82を返し、今度はフリップ・フロップ63が

(10)

セットされているためアンド回路61を介して行アドレス・カウンタ64をカウント・アップする。同時に、表示処理中でないライン・バッファ74又は73に対し、セレクタ72又は71を介してデータバス41のデータ格納のタイミング信号を与える。この動作が、行アドレス・カウンタ64の桁上り信号87が出されるまで80文字分続けられる。そして桁上り信号87が出されるとフリップ・フロップ63がリセットされ、DMAインターフェイス制御回路58に対する要求信号83は出なくなり、行データの読み込み処理は終る。

この動作は、1行の表示処理が終り、再び垂直ドット・カウンタ68からの桁上り信号86が出されることにより再開される。なおこのときにはフリップ・フロップ70が反転するため、ライン・バッファ73, 74の表示処理、次行データ蓄積処理も反転することになる。以上のようにプログラムによりテーブル・ポインタ23をテーブル・ポインタ・レジスタ51にセットすることにより、CRTディスプレイ装置3が行バッファ・ア

(11)

担も軽くすることができる。第3に、画面情報の5行上方移動処理については、第10図及び第11図に示すように、先ず手順①で行バッファ・アドレス・テーブル22のアドレスを5行分進ませ、その後画面の下5行に空白を作るために手順②でスペースコードをセットするだけでよく、多くのデータ移動の処理は伴なわない。仮に行バッファ・アドレス・テーブル22の1つのアドレスの替換処理を100μ秒とし、スペースコードのセットが15μ秒とすると各々25回、400回生じるため、全体で8.5msとなり、計算上従来例の5.4msに対し6倍程度高速処理となる。このように大量のデータ移動処理がなくなるため、画面情報の上方移動といつた処理は高速化される。

本発明により、画面データを行単位に独立して管理できるようになり、各画面に共通エリアがある場合共通して記憶できるので記憶容量を小さくできる。

## 画面の簡単な説明

(13)

ドレス・テーブル22から行バッファの先頭アドレスを行アドレス・レジスタ52にセットして行データをライン・バッファ73, 74に読み込むことができるため、行単位に独立して画面データの管理が行なえる。従つてこの実施例によれば、第1に、画面共通エリアの処理については、第8図に示すように、各画面の行バッファ・アドレス・テーブル22, 24, 25に共通な行は同一アドレス22, 22, 22, をセットしておくことになり、共通な行の表示データ・バッファ(X部分)は1つ置くのみでよく、記憶容量を小さくすることができる。なお23, 25, 27は夫々行バッファ・アドレス・テーブル22, 24, 26のテーブル・ポインタである。第2に、表示メッセージの入れ換え処理については、第9図に示すように、例えば行バッファ・アドレス・テーブル22のメッセージを入れ換えする行に対応するところのアドレス22, にそれぞれのメッセージA, Bの先頭アドレスをセットするだけでよく、記憶容量を小さくでき、また処理プログラムの負

(14)

第1図は従来のCRTディスプレイ・システムのブロック図、第2図は従来のシステムの画面と画面先頭アドレスとの対応を示す図、第3図は従来システムの画面中のメッセージ入れ換えを示す図、第4図及び第5図は夫々従来システムにおける画面の上方移動を説明する図及びそのフローチャート、第6図は本発明のCRTディスプレイ・システムにおける行単位の画面管理を示す図、第7図は本発明のCRTディスプレイ・システムのCRTディスプレイ装置の実施例回路図、第8図は本発明システムにおける各画面と行バッファ・アドレスとの対応例を示す図、第9図は本発明システムの画面中のメッセージ入れ換え例を示す図、第10図及び第11図は夫々本発明システムにおける画面の上方移動を説明する図及びそのフローチャートである。

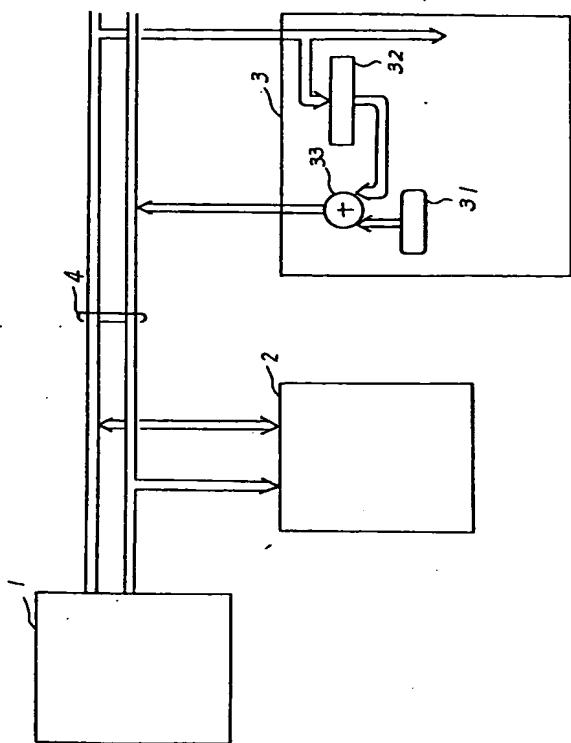
1…計算機、2…主記憶、3…CRTディスプレイ装置、21…行毎の表示データバッファ、22, 24, 26…行バッファ・アドレス・テーブル、23, 25, 27…テーブル・ポインタ、51…

(15)

テーブル・ポインタ・レジスタ、52…行アドレス・レジスタ、FA、FB、FC…画面。

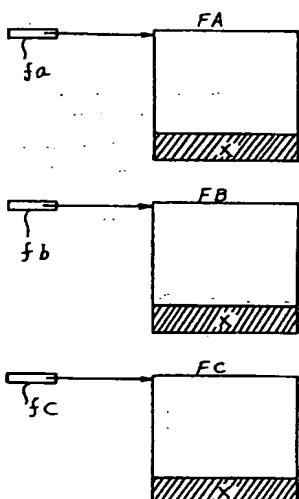
代理人 弁理士 高橋明夫

第一図

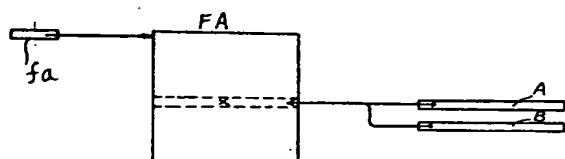


05

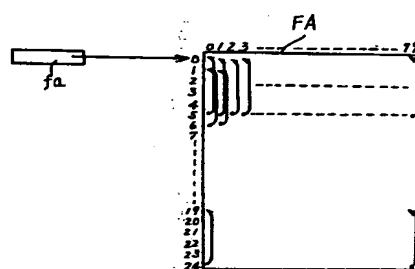
第二図



第三図



第四図



第五図

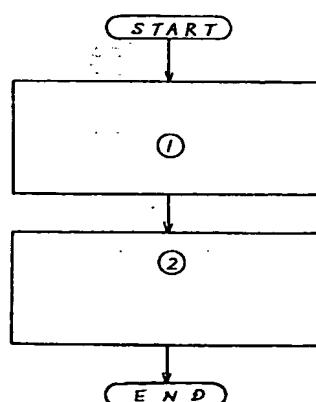
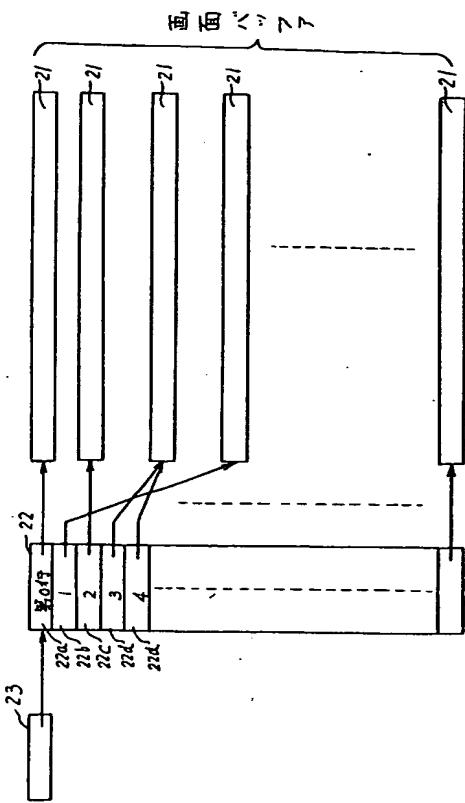
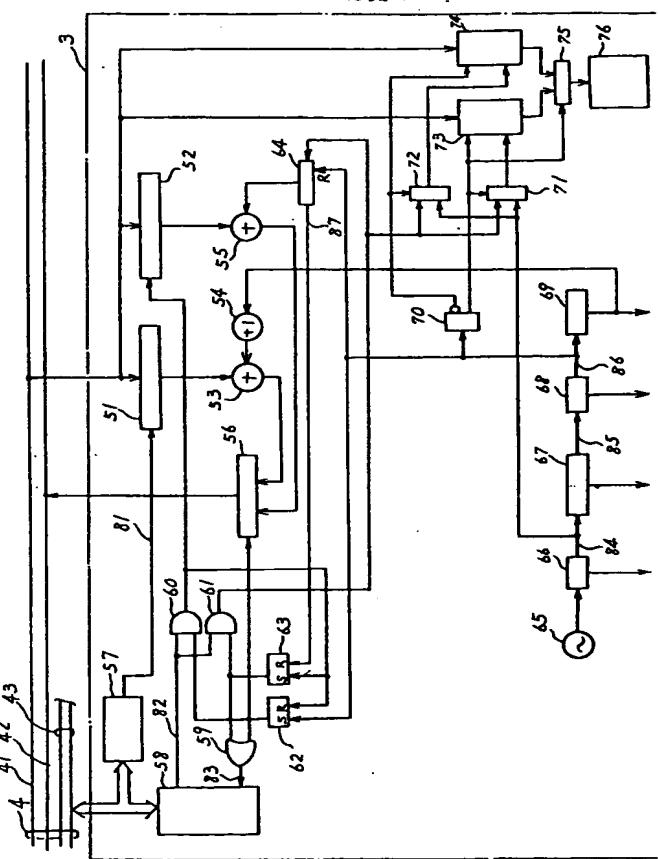


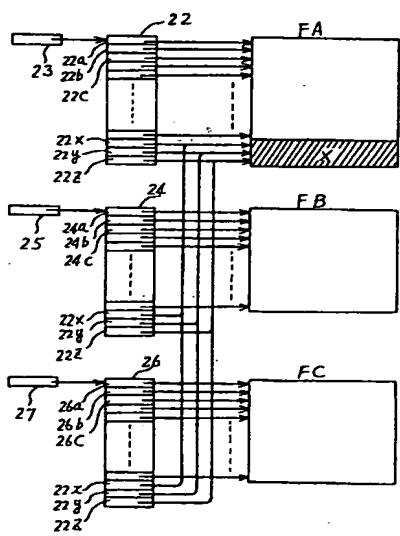
圖 6 第



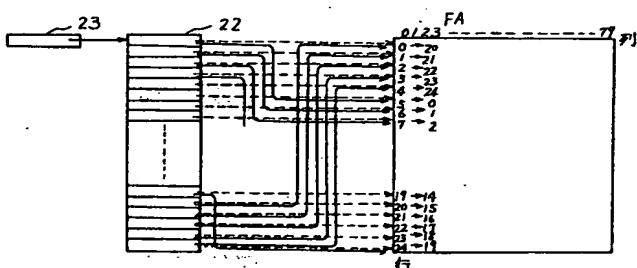
८७



第 8 図

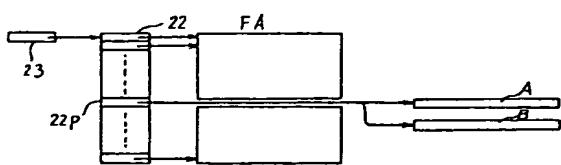


第10回



第 11 圖

第 9 回



```

graph TD
    START([START]) --> STEP1[①]
    STEP1 --> STEP2[②]

```